

⑫ 公開特許公報(A)

平2-232900

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月14日

G 11 C 16/06

7131-5B

G 11 C 17/00

3 0 9 F

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 不揮発性半導体メモリ装置

⑯ 特 願 平1-53154

⑰ 出 願 平1(1989)3月6日

⑱ 発 明 者 有 留 誠 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内  
⑱ 発 明 者 桐 沢 亮 平 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内  
⑱ 発 明 者 白 田 理 一 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内  
⑱ 発 明 者 中 山 良 三 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内  
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体メモリ装置

2. 特許請求の範囲

(1) 半導体基板上に電荷蓄積層と制御ゲートが積層され、電荷蓄積層と基板との間の電荷の授受によりデータ書き換えを行なう書き換え可能なメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス状に配列され、各NANDセルの一端部のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成される不揮発性半導体メモリ装置において、選択されたワード線に正の高電位を印加し、非選択のワード線に正の中間電位を与え、ビット線にデータに応じて中間電位または低電位を与えて、選択されたメモリセルで基板から電荷蓄積層に電子を注入するデータ書き込み動作を有し、データ書き込み時、ビット線立ち上げのタイミングをワード線立ち上げのそれより早くしたことを特徴とする不揮発性半導体メモリ装置。

(2) 半導体基板上に電荷蓄積層と制御ゲートが積層され、電荷蓄積層と基板との間の電荷の授受によりデータ書き換えを行なう書き換え可能なメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス状に配列され、各NANDセルの一端部のドレインが第1の選択ゲートを介してビット線に接続され、他端部のソースが第2の選択ゲートを介して接地線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成される不揮発性半導体メモリ装置において、第1および第2の選択ゲートにより選択されたNANDセル内で選択されたワード線に正の高電位を印加し、非選択のワード線に正の中間電位を与え、ビット線にデータに応じて中間電位または低電位を与えて、選択されたメモリセルで基板から電荷蓄積層に電子を注入するデータ書き込み動作を有し、データ書き込み時、ビット線立ち上げのタイミングを選択ゲートの制御線およびワード線立ち上げのそれより早くしたことを特徴とする不揮発性半導体メモリ装置。

(3) ビット線立ち下げのタイミングをワード線立ち下げのそれより遅くしたことを特徴とする請求項1記載の不揮発性半導体メモリ装置。

(4) ビット線立ち下げのタイミングを選択ゲートの制御線およびワード線立ち下げのそれより遅くしたことを特徴とする請求項2記載の不揮発性半導体メモリ装置。

(5) 半導体基板上に電荷蓄積層と制御ゲートが設けられ、電荷蓄積層と基板との間の電荷の授受によりデータ書替えを行なう書替え可能なメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス状に配列され、各NANDセルの一端部のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成される不揮発性半導体メモリ装置において、選択されたワード線に低電位を与え、これよりビット線側の非選択のワード線に正の高電位を与え、ビット線にデータに応じて高電位または中間電位または低電位を与えて、選択されたメモリセルで電荷蓄積層の電子を基板に放出させるデータ書込

み動作を有し、データ書込み時、ビット線立ち上げのタイミングをワード線立ち上げのそれより早くしたことを特徴とする不揮発性半導体メモリ装置。

### 3. 発明の詳細な説明

#### 〔発明の目的〕

#### （産業上の利用分野）

本発明は、電荷蓄積層と制御ゲートを有する電気的書替え可能なメモリセルを用いた不揮発性半導体メモリ装置に関する。

#### （従来の技術）

EEPROMの分野で、電荷蓄積層と制御ゲートとを持つMOSFET構造のメモリセルが広く知られている。このEEPROMのメモリセルアレイは、互いに交差する行線と列線の各交点位置にメモリセルを配置して構成される。実際のパターン上では、二つのメモリセルのドレインを共通にして、ここに列線がコンタクトするようにしてセル占有面積をできるだけ小さくしている。しかしこれでも、二つのメモリセルの共通ドレイン

毎に列線とのコンタクト部を必要とし、このコンタクト部がセル占有面積の大きい部分を占めている。

そこでよりセル占有面積を小さくできる方式として、複数のメモリセルをそれらのソース、ドレイン拡散層を共用して直列接続してNANDセルを構成するものが提案されている（例えば特願昭62-23944号）。NANDセルの一端部のドレインは選択ゲートを介してビット線に接続され、各メモリセルの制御ゲートはワード線に接続される。メモリセルとしてチャネル領域全面に薄いトンネル絶縁膜を設けたFETMOS（Floating Gate - Tunneling MOS）では、データ書込みおよび消去共に、電荷蓄積層と基板との間の電荷のやりとりを利用する。このFETMOSを用いたNANDセル方式のEEPROMでの具体的なデータ書込みおよび消去法には、（a）基板から電荷蓄積層への電子注入（以下単に電子注入と呼ぶ）をデータ消去に利用し、電荷蓄積層から基板への電子放出（以下単

に電子放出と呼ぶ）をデータ書込みに対応させる方式と、これと逆に、（b）電子放出をデータ消去に利用して、電子注入をデータ書込みに対応させる方式とがある。前者（a）の方式では、全てのワード線に高電位を与え、ビット線に低電位を与えて、NANDセルを構成する全メモリセルで電子注入を行なって一括消去できる。消去状態は、電子注入によりメモリセルのしきい値が正方向に移動した状態である。データ書込みは、ビット線から遠い方から順にワード線を低電位とし、これよりビット線側のワード線は高電位とし、ビット線にデータに応じて高電位または中間電位を与えることにより、データに応じて電子放出を行なわせる。電子放出によりメモリセルのしきい値は負方向に移動する。一方（b）の方式では、ビット線に高電位を与え、選択ワード線に低電位を与えて電子放出させる動作をビット線側から順に行ってデータを消去する。このとき選択ワード線よりビット線側にあるワード線には高電位を与える。この場合データ消去状態はメモリセルのしきい値

が負方向に移動した状態である。データ書き込みは、選択ワード線に低電位を与え、それよりビット線よりのワード線には高電位を与え、ビット線にデータに応じて高電位または中間電位を与える。ビット線に高電位が与えられた時にメモリセルでは電子放出が起り、書き込みがなされる。

これらのNANDセル方式EEPROMにおいて、従来提案されている書き込み、消去法では、ビット線に与えられるデータの立ち上げとワード線の立ち上げが同時である。しかしながら、各部の電圧の上昇タイミングは、昇圧回路の能力や負荷の低抗、容量等により変化し、必ずしも同時に立ち上がるとは限らない。各部の電位上昇のタイミングにずれがあると、誤書き込みや過消去等の不都合が生じる。例えば、上記(a)の方式でのデータ書き込み動作を考える。ビット線にはデータに応じて高電位または中間電位が与えられ、中間電位の場合は電子放出が起こらないようになっている。このとき選択ワード線よりビット線側のワード線に沿う非選択のメモリセルについて見ると、それ

らは制御ゲートに高電位が与えられて電子注入モードの半選択状態にある。そうすると、ビット線が中間電位になるタイミングが遅れて、ワード線（即ち制御ゲート）が高電位になり、ビット線が低電位の状態ができると、完全な電子注入モードになる。この様な非選択メモリセルでは従って、過消去の状態になり、その後のデータ書き込みで電子放出を行なっても所望のしきい値が得られず、動作特性上好ましくない。また、(b)の方式では、ビット線電位の立ち上がりが遅れると誤書き込みが生じる。即ち、データ書き込み時、ビット線にはデータに応じて中間電位または低電位が与えられ、選択ワード線に高電位が与えられ、ビット線が低電位のときに電子注入を起こすが、電子注入を起こさないための中間電位をビット線に与える際にこれが遅れると電子注入モードになってしまい、これが誤書き込みとなる。

以上の誤書き込みや過消去は、ビット線の電位立ち下げのタイミングがワード線のそれに対して早まった場合にも同様に生じる。

#### (発明が解決しようとする課題)

以上のように従来提案されているNANDセル方式のEEPROMでは、データ書き込み動作時、タイミングのずれによって誤書き込みや過消去等を生じEEPROMの信頼性を低下させるという問題があった。

本発明は、この様な問題を解決した、信頼性の高い電氣的書き換え可能な不揮発性半導体メモリ装置を提供することを目的とする。

#### [発明の構成]

##### (課題を解決するための手段)

本発明のEEPROMは、半導体基板上に電荷蓄積層と制御ゲートが積層され、電荷蓄積層と基板との間でトンネル電流による電荷の授受を利用して電氣的書き換えを行なうメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列され、各NANDセルの一端部のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続された基本構成を有する。この様なEEPROMにおいて本発明では、デー

タ書き込み動作時、ビット線立ち上げのタイミングをワード線のそれより早くしたことを特徴とする。

#### (作用)

本発明によれば、データ書き込み動作時、ビット線立ち上げの遅れによる、半選択メモリセルでの過消去や選択メモリセルでの誤書き込みが防止される。ビット線の立ち上げ時のみならず、立ち下げ時にも同様の問題があるから、ビット線の立ち上げタイミングを早めるだけでなく、ビット線の立ち下げをそのタイミングを遅らせればより効果的である。

#### (実施例)

本発明の実施例を図面を参照して説明する。以下の実施例は、nチャネルFETMOSを用いたNANDセル方式のEEPROMである。

第1図は、一実施例のメモリセルアレイの一つのNANDセル部を示す平面図、第2図(a)(b)はそのA-A'およびB-B'断面図であり、第3図はメモリセルアレイの等価回路である。先ず、一つのNANDセルに着目してその構成

を説明する。p-型シリコン基板1に素子分離絶縁膜2で区画された領域に、この実施例では8個のメモリセル $M_1 \sim M_8$ と2個の選択ゲートトランジスタ $S_1, S_2$ が形成されている。各メモリセルは、基板1上に熱酸化膜からなる第1ゲート絶縁膜3を介して第1層多結晶シリコン膜による浮遊ゲート4 ( $4_1 \sim 4_8$ ) が形成され、この上に第2ゲート絶縁膜5を介して第2層多結晶シリコン膜による制御ゲート6 ( $6_1 \sim 6_8$ ) が形成されて構成されている。各メモリセルの浮遊ゲート4が電荷蓄積層である。各メモリセルの制御ゲート6はそれぞれワード線 $WL_1 \sim WL_8$ を構成している。メモリセルのソース、ドレインとなるn-型層9は隣接するもの同士で共用する形で8個のメモリセルが直列接続されている。そしてこの実施例では、ドレイン側、ソース側に選択ゲートトランジスタ $S_1, S_2$ が接続されて一つのNANDセルが構成されている。選択ゲートトランジスタ $S_1, S_2$ のゲート電極 $4_9, 6_9$ および $4_{10}, 6_{10}$ はメモリセルの浮遊ゲートおよ

び制御ゲートを構成する第1層、第2層多結晶シリコン膜を同時にパターンニングして得られ、電極 $4_9$ と $6_9$ の間および電極 $4_{10}$ と $6_{10}$ の間はワード線方向に所定間隔でコンタクトしている。全体はCVD絶縁膜7で覆われ、メモリセルに対して選択トランジスタ $S_1$ のドレインであるn-型層にコンタクトするビット線 $BL_1$ としての $BL_1$ 配線8が配設されている。このコンタクト部には、重ねてn型不純物がドーブされている。

各メモリセルでの浮遊ゲート4と基板1間の結合容量 $C_1$ は、浮遊ゲート4と制御ゲート6間の結合容量 $C_2$ に比べて小さく設定されている。具体的な形状寸法を説明すれば、浮遊ゲート4および制御ゲート6は共にチャネル幅 $1\mu m$ 、従ってメモリセルのチャネル長が $1\mu m$ であり、浮遊ゲート4は第2図(b)に示すようにフィールド領域上両側にそれぞれ $1\mu m$ ずつ延在させている。第1ゲート絶縁膜3は $110\text{\AA}$ の熱酸化膜であり、第2ゲート絶縁膜5は $350\text{\AA}$ の熱酸化膜である。選択ゲートトランジスタ $S_1, S_2$ については、

ドレイン側即ちビット線側のトランジスタ $S_1$ のチャネル長をソース側のトランジスタ $S_2$ より長く設定している。これは、トランジスタ $S_1$ のパンチスルー防止のためである。接地電位が印加されるソース拡散層はワード線方向に共通に形成されている。

第3図のメモリセルアレイは、上述した構成のNANDセル16個が8本のビット線 $BL_1 \sim BL_8$ に接続された様子を示している。各ワード線 $WL_1 \sim WL_8$ 、ドレイン側の選択ゲート $S_1, S_2$ の制御線 $SD_1, SD_2$ は制御信号PROで制御されるDタイプのnチャネル選択MOSトランジスタを介してアレイ領域から導出され、ソース側の選択ゲート $S_1, S_2$ の制御線 $SS_1, SS_2$ は直接導出されている。

このように構成されたEEPROMの動作を次に説明する。第4図は、メモリセル $M_1 \sim M_8$ からなるNANDセルに着目した時のデータ消去および書き込みの基本タイミング図であり、第5図はデータ消去、書き込みおよび読出し時の各部電位関

係を示している。ここでは、先に説明した二つの方式のうちの(b)の方式、即ちデータ消去モードで電子放出を利用し、データ書き込みモードで電子注入を利用する。先ずメモリセル $M_1 \sim M_8$ のデータ消去を、メモリセル $M_1$ から順に行なう。制御線 $SD_1$ に正の高電位 ( $+20V$ ) を与え、制御線 $SS_1$ は低電位 ( $-0V$ ) とし、ビット線に正の高電位 ( $+20V$ ) を与え、ワード線をすべて低電位 ( $-0V$ ) として、メモリセル $M_1$ で電子を放出させる。次に制御線 $SD_1$ と共にワード線 $WL_1$ に高電位を与え、2番目のメモリセル $M_2$ で電子を放出させる。以下同様の動作を繰返して全面消去する。消去状態はメモリセルのしきい値が負方向に移動した状態であり、これを例えば“1”とする。データ書き込みは、逆にビット線から遠い方のメモリセルから順に行なう。即ち選択ワード線に高電位 ( $+18V$ )、それよりソース側のワード線は低電位 ( $-0V$ )、ビット線側のワード線は中間電位 ( $-9V$ ) とし、ドレイン側の選択ゲートの制御線 $SD_1$ に中間電位

( $-1.2\text{V}$ )を与え、ビット線BLにデータに応じて低電位( $0\text{V}$ )または中間電位( $-9\text{V}$ )を与える。ビット線が低電位の場合は選択メモリセルで電子注入が起り、“0”書き込みがなされる。ビット線が中間電位の時は消去状態“1”が保たれる。データ読出しは、選択ワード線を低電位( $-0\text{V}$ )とし、非選択ワード線を中間電位( $-5\text{V}$ )とし、ビット線に読出し電圧( $-1\text{V}$ )を与えて、チャネルのオン、オフを検出することにより行なう。

以上の基本タイミングにおいて、データ書き込み動作時の具体的なタイミング関係を第6図に示す。第6図は、ワード線WL<sub>0</sub>を選択した場合であるが、選択ワード線WL<sub>0</sub>、ドレイン側の選択ゲートの制御線SD<sub>0</sub>および非選択ワード線に所定の電位を与えるタイミングに対して、ビット線BLの立ち上げのタイミングを時間 $t_{d1}$ だけ早める。ビット線BLの立ち下げのタイミングは時間 $t_{d2}$ だけ遅らせる。 $t_{d1}$ 、 $t_{d2}$ は例えば、共に $0.5\text{msec}$ 程度とする。ビット線BLに与える

$1.8\text{V}$ という高電位を比較的容易に昇圧することができる。また、立ち下がりタイミングについては、先ずドレイン側選択ゲートの制御線SD<sub>0</sub>を最初に立ち下げ、その後時間 $t_{d3}$ においてソース側選択ゲートの制御線SS<sub>0</sub>を一旦 $5\text{V}$ まで上げてからワード線およびソース側選択ゲート制御線を立ち下げ、その後時間 $t_{d2}$ 経ってからビット線BLを立ち下げる。このビット線の立ち下がりには、SD<sub>0</sub>が下がってからある時間後なら何時でもよい。もし、ワード線の立ち下がりがドレイン側選択ゲート制御線の立ち下がりに先行してビット線の中間電位がNANDセル内の拡散層に閉じこめられると、その後しきい値の変動等の不都合が生じる可能性がある。上記のような立ち下がりタイミングとすれば、ドレイン側選択ゲートがオフになり、NANDセル内のメモリセルがオンの状態でソース側選択ゲートをオンとなるから、NANDセル内の無用の電荷を掃出すことができる。これにより、一層信頼性の高いEEPROMが得られる。

中間電位 $9\text{V}$ は、ここではデータ“1”に対応し、選択メモリセルを半選択の注入モードとして“0”書き込みをしない場合、即ち消去状態を保持する場合に与えられるものであるが、その立上りが遅れると選択メモリセルは電子注入モードになって誤って“0”書き込みがなされてしまう。この実施例では、この書き込み動作時のビット線の立ち上げを早めることにより、このような誤書き込みを防止することができる。ビット線の立ち下がりを遅らせることも同様の意味である。

第7図は、別の実施例でのデータ書き込みタイミングの具体例である。基本動作は先の実施例と同様第4図で示したタイミングに従う。この場合の書き込み動作において、ビット線BLの立ち上げタイミングを時間 $t_{d1}$ だけ早めることは第6図と同じである。第6図の場合と異なる点は、先ず選択ワード線WL<sub>0</sub>に高電位を与えるに当たって、他のワード線に中間電位を与えると同時に中間電位を与え、その後高電位を与えるという2ステップを採用していることである。こうすることで

次に、前述の二つの書き込み、消去方式のうちもう一つの(a)の方式を用いた場合の実施例を説明する。メモリセルアレイの構成は、先の実施例と同じであるので説明を省略する。消去および書き込みの基本タイミングを第8図に示す。データ消去は、制御線SD<sub>0</sub>、SS<sub>0</sub>および全てのワード線に高電位( $-2.0\text{V}$ )を印加し、ビット線を低電位( $-0\text{V}$ )とする。これにより全てのメモリセルで電子注入が起り、しきい値が正方向に移動して消去状態となる。データ書き込みは、ビット線から遠い方が順に行なう。即ち先ず、制御線SD<sub>0</sub>およびワード線WL<sub>0</sub>、 $\sim$ WL<sub>7</sub>に高電位( $-2.3\text{V}$ )を与え、ワード線WL<sub>0</sub>を低電位( $-0\text{V}$ )とし、ビット線BLにデータに応じて高電位( $-2.3\text{V}$ )または中間電位( $-1.1.5\text{V}$ )を与える。このとき選択ワード線WLのメモリセルM<sub>0</sub>では、ビット線BLが高電位のとき電子放出が生じ、しきい値が負方向に移動する。以下、順次ワード線WL<sub>1</sub>、WL<sub>2</sub>、 $\dots$ を低電位に落として同様にデータに応じて電子放出を行なわ

せる。

第9図は、そのデータ書き込み動作時のより具体的なタイミングである。ここでは、ワード線  $WL_1$  が選択された場合を示している。選択ゲートの制御線  $SD_1$  およびビット線側の非選択ワード線  $WL_1 \sim WL_n$  に高電位を与える時刻に先だってビット線  $BL$  を立ち上げ、また制御線  $SD_1$  およびワード線  $WL_1 \sim WL_n$  の立ち下げに遅れてビット線  $BL$  を立ち下げる。このタイミング関係は先の実施例と同様である。もしビット線  $BL$  の立ち上がりが遅れると、高電位が与えられた非選択ワード線  $WL_1 \sim WL_n$  のメモリセルでは消去モード即ち電子注入モードになり、過消去の状態がもたらされる。この実施例では、ビット線のデータ立ち上げを先行させているため、このような過消去がない。ビット線立ち下がりが遅らせたことも同様に過消去を防止する趣旨である。

こうしてこの実施例によっても、信頼性の高い  $EEPROM$  を得ることができる。

なお第9図の実施例において、第7図の実施例

で説明したと同様に、ワード線の高電位の立ち上げを段階的に行なうこと、また  $NAND$  セル内に取り残される電荷をソース側選択ゲート制御により排出する動作を行なうことは有効である。

#### 【発明の効果】

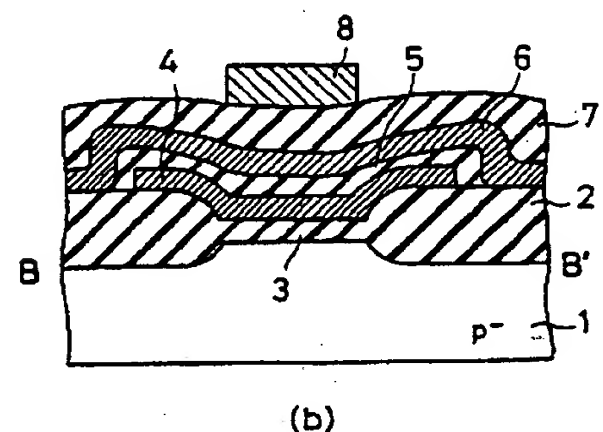
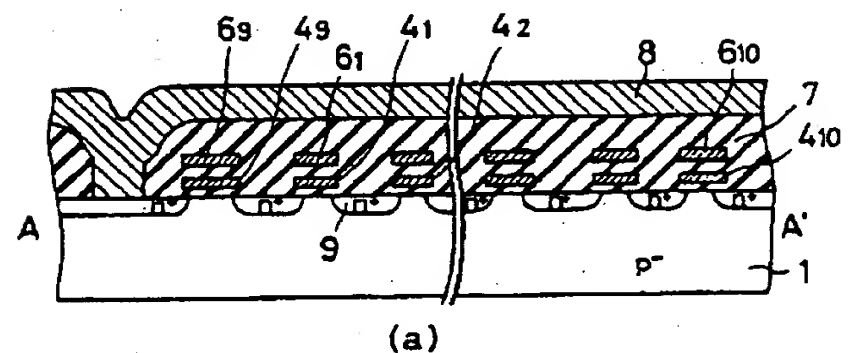
以上述べたように本発明によれば、データ書き込み動作時のタイミングに予め所定のずれを与えることにより、誤書き込みや過消去を防止して信頼性向上を図った  $NAND$  セル方式の  $EEPROM$  を得ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の  $EEPROM$  の一つの  $NAND$  セルを示す平面図、第2図(a) (b) はその  $A-A'$  および  $B-B'$  断面図、第3図はメモリセルアレイを示す等価回路図、第4図はその動作を説明するための基本タイミング図、第5図は同じく各部電位関係を示す図、第6図は書き込み動作時の具体的なタイミングを示す図、第7図は他の実施例での書き込み動作時の具体的なタイミングを示す図、第8図は書き込み方式の異なる

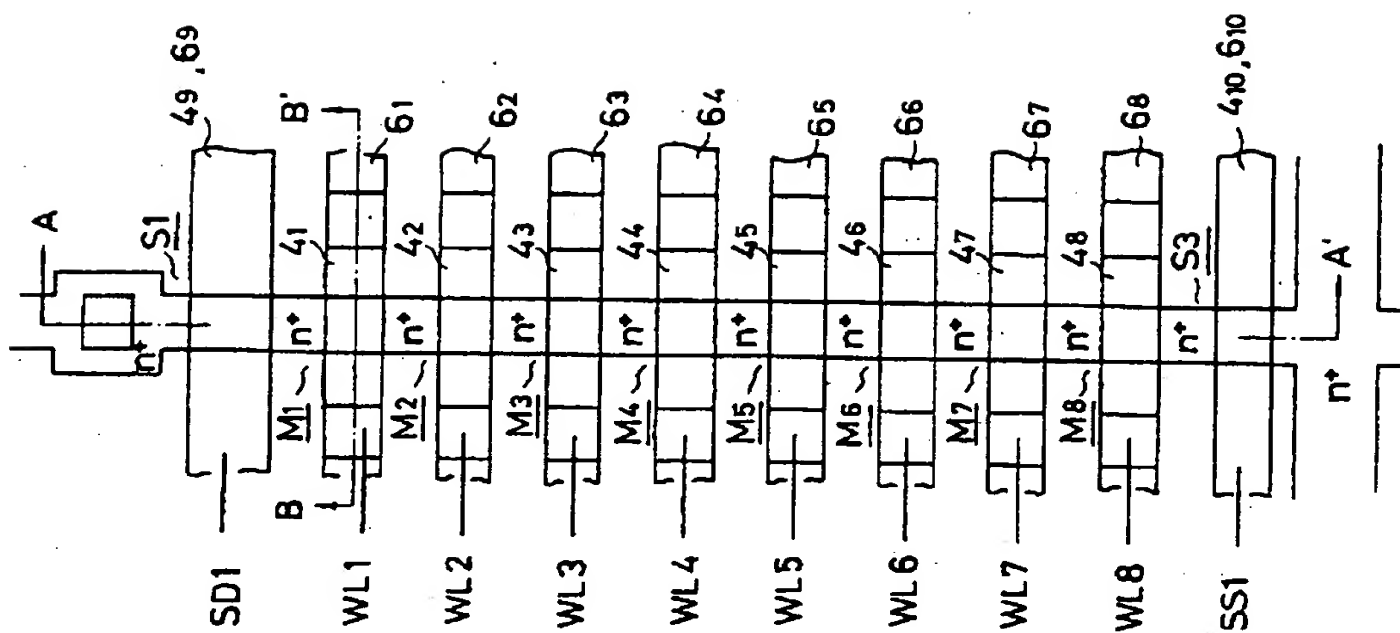
他の実施例での基本タイミング図、第9図はその書き込み動作時の具体的なタイミングを示す図である。

$M_1 \sim M_n$  …メモリセル、 $WL_1 \sim WL_n$  …ワード線、 $BL$  …ビット線、 $S_1, S_2$  …選択ゲート、 $SD_1, SD_2$  …選択ゲート制御線、1… $p$ 型シリコン基板、2…素子分離絶縁膜、3…第1ゲート絶縁膜、4…浮遊ゲート、5…第2ゲート絶縁膜、6…制御ゲート。

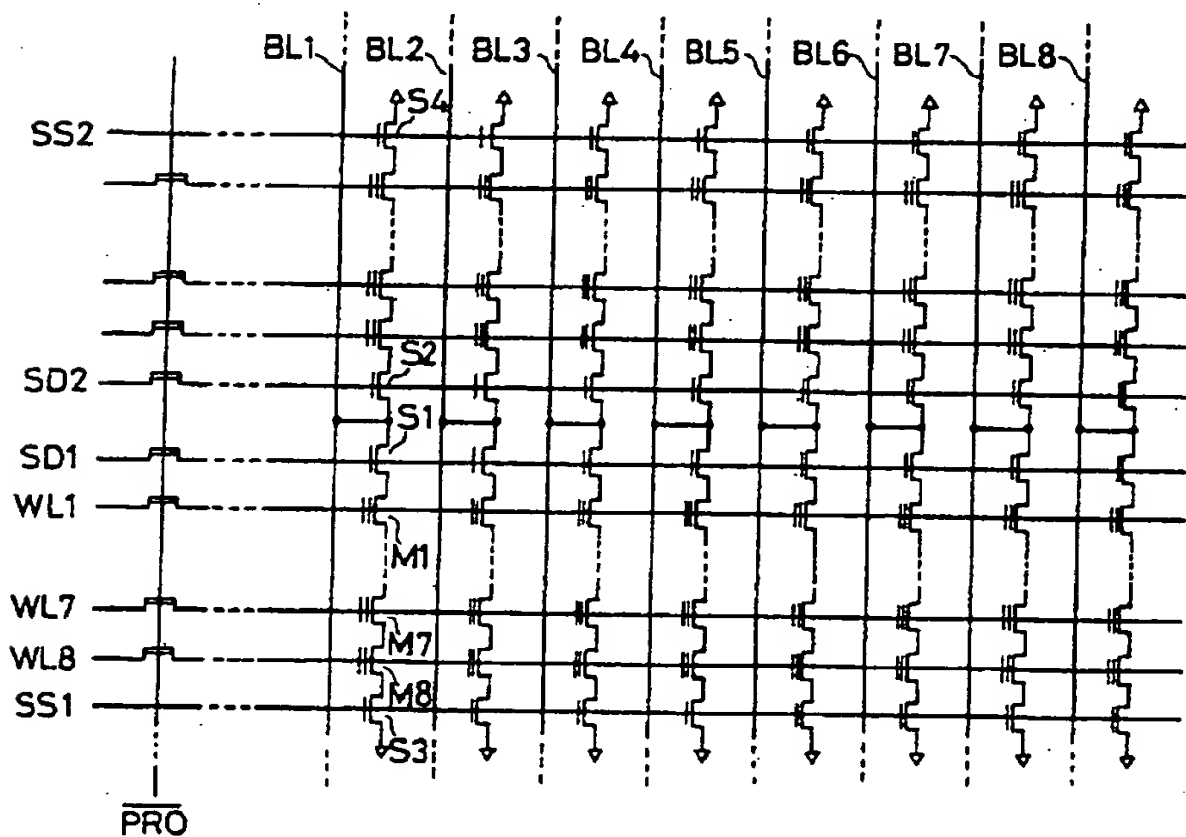


第2図

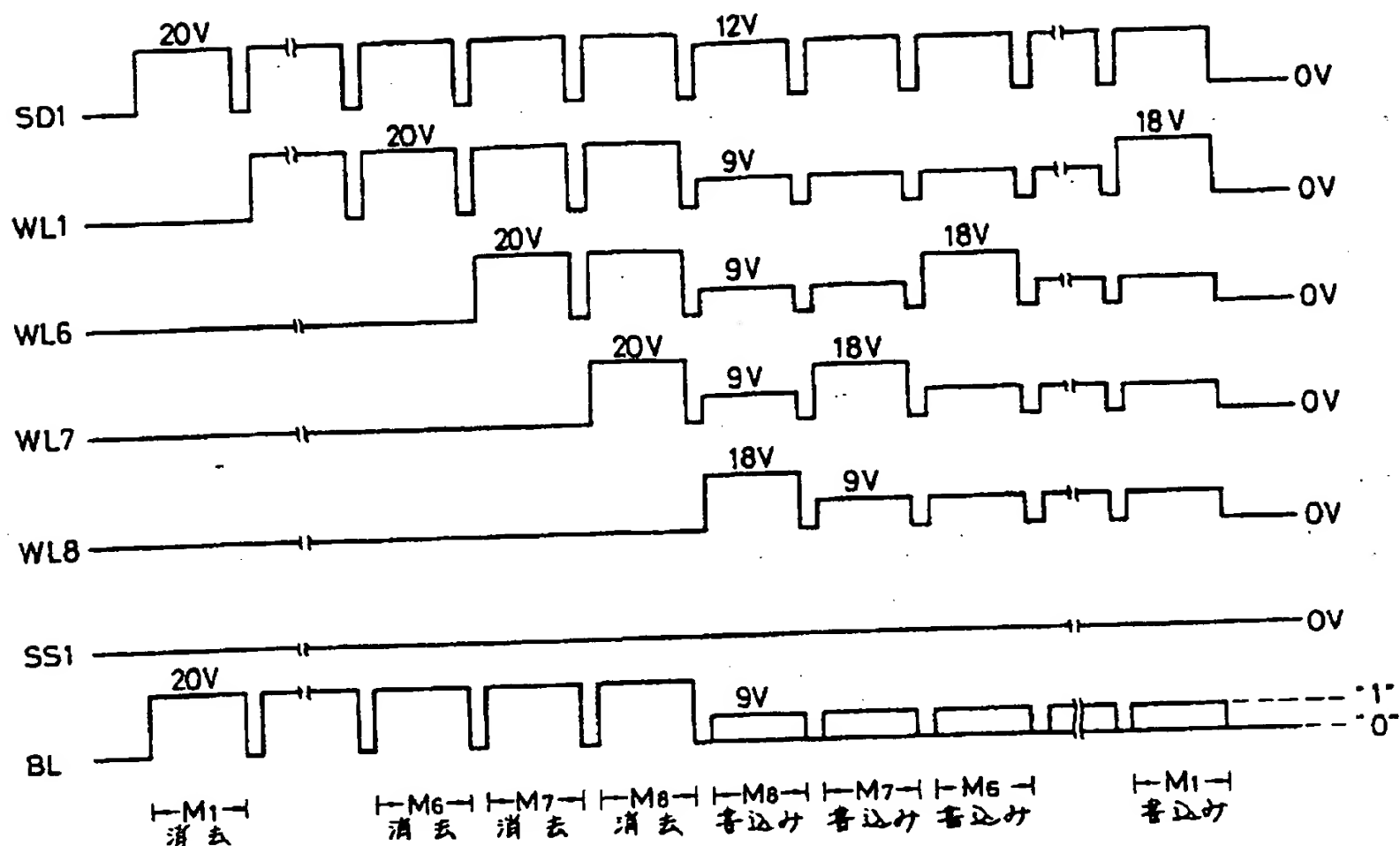
出願人代理人 弁理士 鈴江武彦



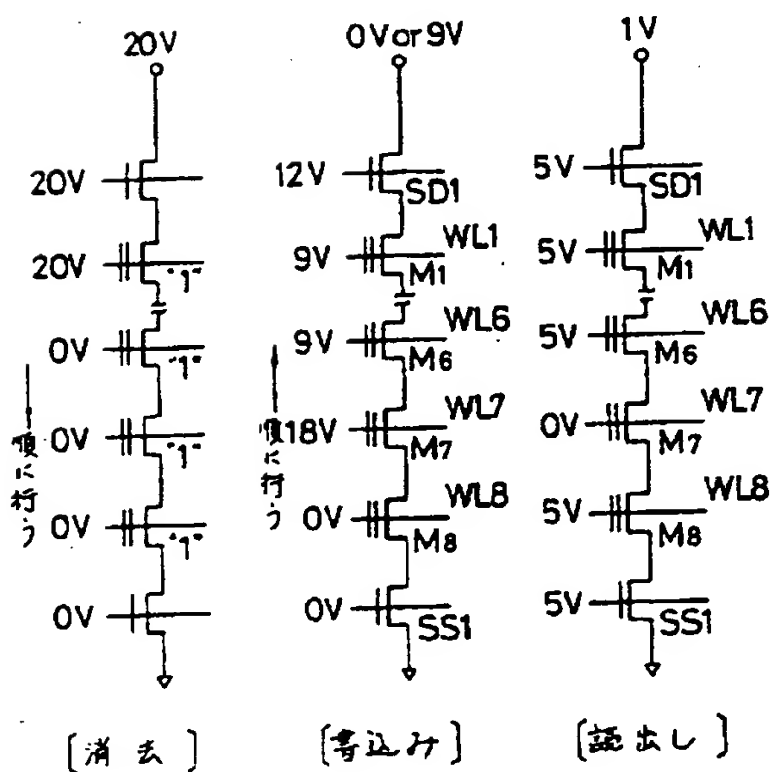
第 1 図



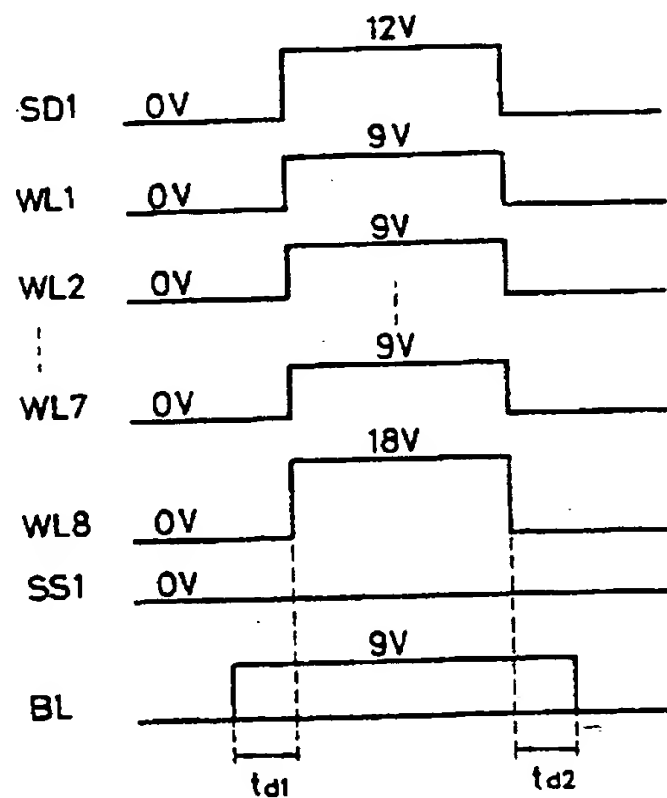
第 3 図



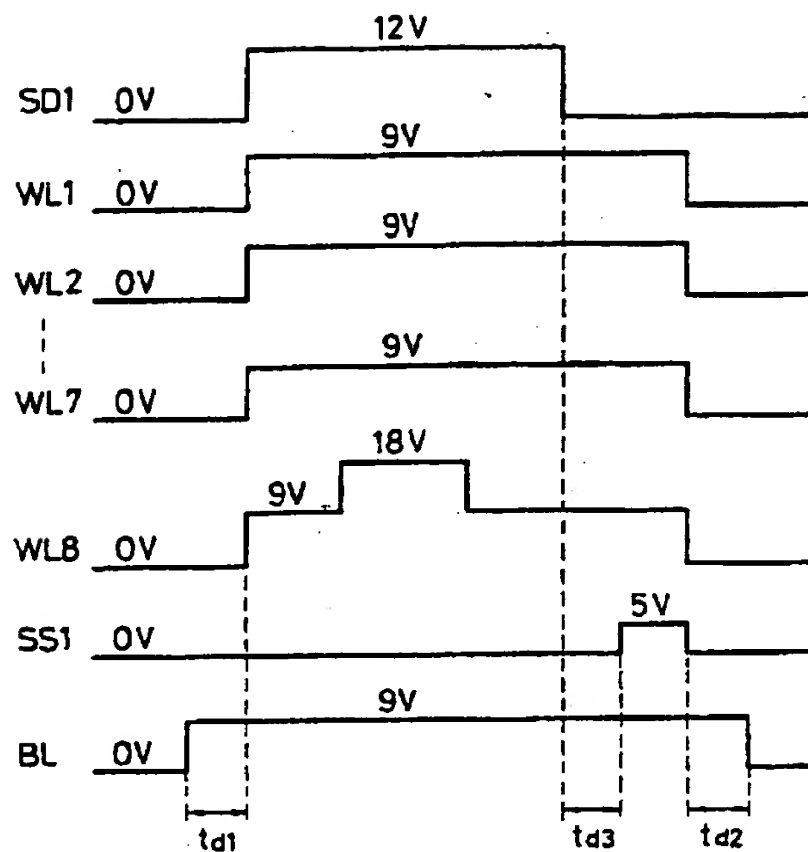
第 4 図



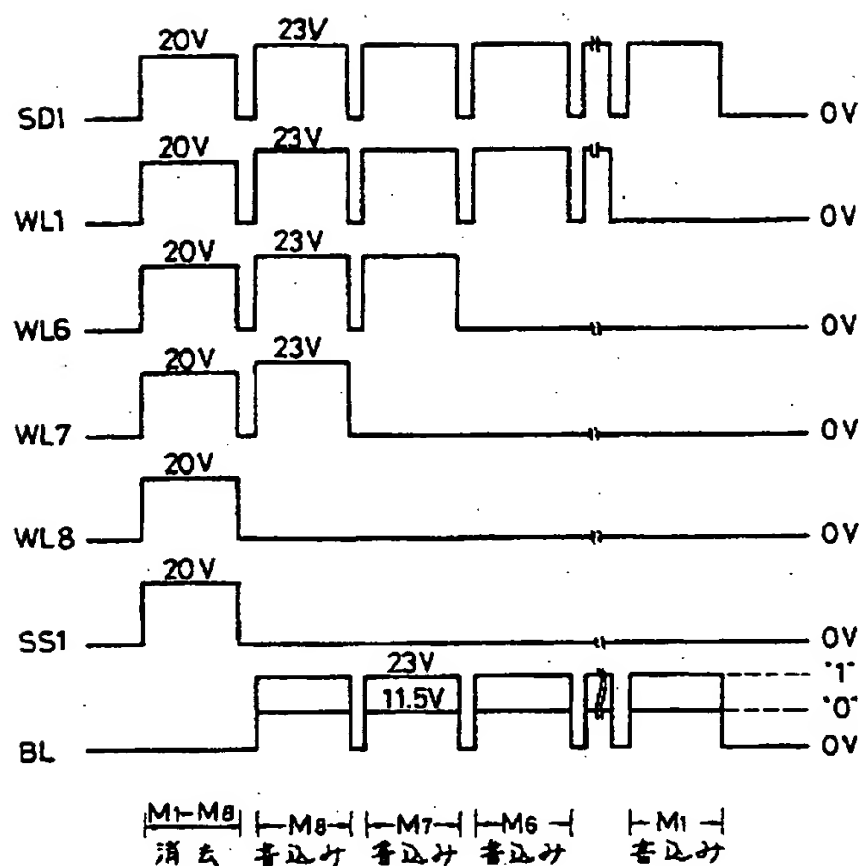
第 5 図



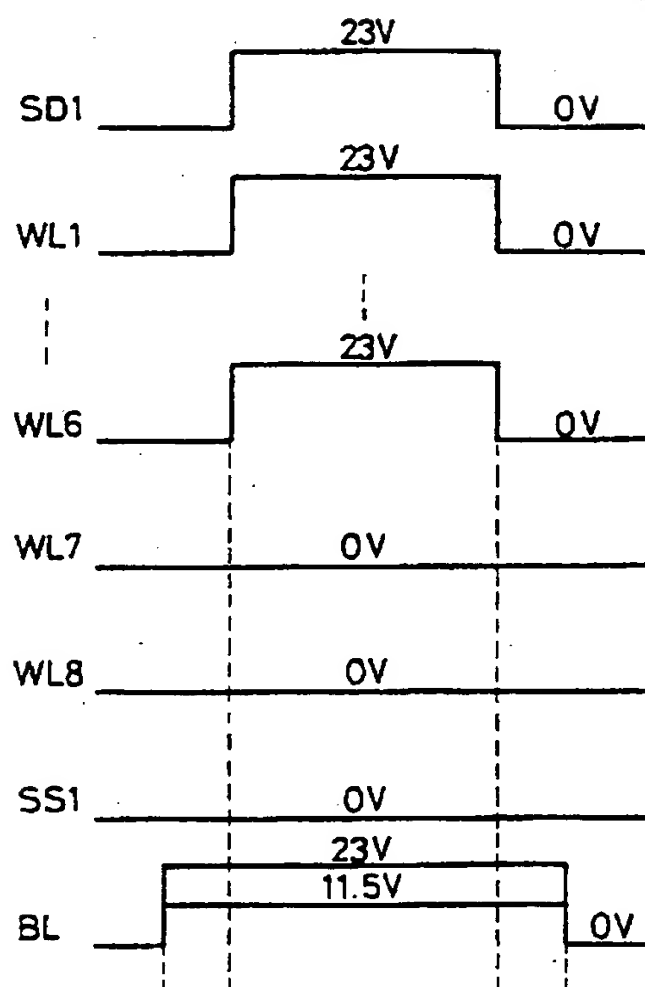
第 6 図



第 7 図



第 8 図



第 9 図

## 第1頁の続き

⑫発明者	百 富	正 樹	神奈川県川崎市幸区小向東芝町1番地 研究所内	株式会社東芝総合
⑫発明者	伊 藤	寧 夫	神奈川県川崎市幸区小向東芝町1番地 研究所内	株式会社東芝総合
⑫発明者	岩 田	佳 久	神奈川県川崎市幸区小向東芝町1番地 研究所内	株式会社東芝総合
⑫発明者	遠 藤	哲 郎	神奈川県川崎市幸区小向東芝町1番地 研究所内	株式会社東芝総合
⑫発明者	田 中	智 晴	神奈川県川崎市幸区小向東芝町1番地 研究所内	株式会社東芝総合
⑫発明者	姓 岡	富 士 雄	神奈川県川崎市幸区小向東芝町1番地 研究所内	株式会社東芝総合